

## EDSF2008出展のお知らせ

この度、弊社は展示会「Electronic Design and Solution Fair 2008」に出展することとなりました。

年始の折ご多用中のことと存じますが、是非、この機会にご来場賜りますようお願い申し上げます。

会期:2008年1月24日(木)～ 2008年1月25日(金)10:00～18:00

場所:パシフィコ横浜 1階 展示会ホール C ブースNo.204  
(横浜市西区みなとみらい 1-1-1)

URL:<http://www.edsfair.com/>

※上記URLにて入場事前登録をされますと入場がスムーズになります。

### 展示内容のご案内

#### ◇ASIC受託設計

大規模LSI対応。最新の設計・検証手法を用いた実践のテクニックをご案内します。

#### ◇FPGA受託設計

Xilinx、Altera等、各種デバイス設計実績多数をご紹介します。

#### ◇設計コンサルティング・サービス

仕様・設計・検証など各種課題のご相談をお受けします。

#### ◇AccurateC

SystemCルールチェッカー&ジェネレーター のご案内します。

#### ◇VeritoolsVerifyer

アサーションデバッグ・プラットフォームのご案内します。

展示会場ではデモ機を設置し弊社取扱いの各ツールを実際にご覧頂けるようになっております。

また、会場にてアンケートにご回答いただいた方には電子辞書などの豪華景品が当たる抽選券を差し上げます。

会場にお越しの際は、是非弊社ブースへお越しください。心よりお待ちしております。